Journal of Applied Electromagnetics

2

Vol. 10, No.1, 2022-2023 (Serial No. 24)

The Presentation of a Low Noise UWB Amplifier Using an Inverter with Inductive Peaking Technique

M. Bekrani [1*], M. M. Taskhiri [2], S. A. Asayesh [3]

* Qom University of Technology, Qom, Iran

(Received: 01/09/2021; Accepted: 19/01/2022)

Abstract

In this paper, a 3.1 to 10.6 GHz low noise amplifier is designed using the 130 nm CMOS technology. In this circuit, the source degeneration technique is employed to increase the bandwidth and achieve input impedance matching. In addition, a current reuse technique is employed to achieve a high gain. Since most output impedance matching techniques degrade the gain or linearity, an inverter along with an inductive peaking technique is used to provide the output impedance matching of 50 ohms and to improve both the linearity and gain. This technique enhances the third harmonic behavior and increases the gain by 2.7 dB. The proposed circuit achieves S11 of less than - 9.1dB, S22 of less than -10 dB, the maximum gain of 19.7 dB, NF of 2 to 2.7 dB, and IIP3 of -3.5 dBm. Moreover, the power consumption of the proposed circuit is 28 mw and the core layout size is 991.84 μm×701.4 μm. The advantages of the proposed circuit over UWB structures with the same technology are higher gain, lower noise figure (NF), and better output matching.

Keywords: Low noise amplifier, source degeneration, current reuse, inductive peaking, linearity.

* Corresponding author E-mail: bekrani@qut.ac.ir

نشریه علمی «الکترومغناطیس کاربردی»
سال دهم، شماره ۱، بهار و تابستان ۱۴۰۱؛ ص ۱۲۰- ۱۰۹

علمی – پژوهشی

تقویت‌کننده کم‌نویز فراپهن باند با استفاده از تکنیک معکوس‌کننده با پیک‌زنی القایی

مهدی بکرانی[۱]، محمدمهدی تسخیری[۲*]، سیدعلی آسایش[۳]

۱- استادیار، ۲- استادیار، ۳- دانش آموخته کارشناسی ارشد، دانشگاه صنعتی قم، قم، ایران

(دریافت: ۱۴۰۰/۰۶/۱۰، پذیرش: ۱۴۰۰/۱۰/۲۹)

چکیده

در این مقاله، یک تقویت‌کننده کم‌نویز در باند فرکانسی فراپهن ۳/۱-۱۰/۶ GHz با استفاده از تکنولوژی ۱۳۰ nm CMOS طراحی شده است. در این مدار از تکنیک سورس تبهگنی برای گسترش پهنای باند و ایجاد تطبیق ورودی و از تکنیک استفاده مجدد جریان برای دستیابی به بهره بالا استفاده می‌شود. همچنین از آنجا که اغلب تکنیک‌های تطبیق امپدانس خروجی موجب تضعیف بهره یا خط‌سانی می‌شود، از تکنیک معکوس‌کننده با پیک‌زنی القایی استفاده شده است تا علاوه‌بر فراهم نمودن تطبیق امپدانس ۵۰ اهمی در خروجی، بهره و خط‌سانی را نیز بهبود دهد. این تکنیک رفتار هارمونیک سوم را بهبود و بهره را ۲/۷ dB افزایش داده است. مدار پیشنهادی دارای S_{11} کمتر از ۹/۱ dB-، S_{22} کمتر از ۱۰dB-، ماکزیمم بهره ۱۹/۶dB، عدد نویز بین ۲/۷ dB-۲، توان مصرفی ۲۸ mw و IIP3 با مقدار ۳/۵ dBm- می‌باشد. همچنین ابعاد جانشانی طرح برابر ۷۰۱/۴ µm × ۹۹۱/۸۴ µm است. مزایای ساختار پیشنهادی در مقایسه با ساختارهای فراپهن با تکنولوژی یکسان، در بهره بالاتر، عدد نویز کمتر و تطبیق بهتر خروجی می‌باشد.

کلید واژه‌ها: تقویت‌کننده کم‌نویز، تبهگنی سورس، استفاده مجدد از جریان، پیک‌زنی القایی، خط‌سانی

۱. مقدمه

امروزه گسترش وسایل ارتباطی و نیاز به افزایش سرعت انتقال اطلاعات و صرفه‌جویی در زمان سبب اهمیت روزافزون تقویت‌کننده‌های فراپهن‌باند در طراحی فرستنده و گیرنده‌های باند فراپهن شده است [۲،۱]. سازمان ارتباطات فدرال آمریکا (FCC) طیف رادیویی ۳/۱ GHz تا ۱۰/۶ GHz را به‌عنوان طیف فراپهن‌باند معرفی کرده است که ظرفیت بالایی برای انتقال اطلاعات در حوزه بی‌سیم فراهم می‌کند.

تقویت‌کننده‌های کم‌نویز جزء اصلی‌ترین بخش‌های یک گیرنده مخابراتی محسوب می‌شوند که علاوه‌بر داشتن پهنای‌باند زیاد، لازم است بهره بالا، نویز کم، تطبیق امپدانس مناسب، خط‌سانی مناسب، سایز کم و توان مصرفی پایینی داشته باشند [۳، ۴]. توپولوژی‌های اصلی که در طراحی تقویت‌کننده‌های کم‌نویز فراپهن باند استفاده می‌شود عبارت است از توپولوژی گیت- مشترک و سورس- مشترک. ساختار گیت- مشترک در مقایسه با ساختار سورس- مشترک، تطبیق ورودی بهتر، پهنای باند بیشتر و خط‌سانی بهتری دارد، اما در مقابل عدد نویز بالاتری خواهد داشت. استفاده از روش‌های بهبود ترارسانایی در طراحی‌ها می‌تواند سبب کاهش عدد نویز تقویت‌کننده گیت- مشترک شود [۵، ۶].

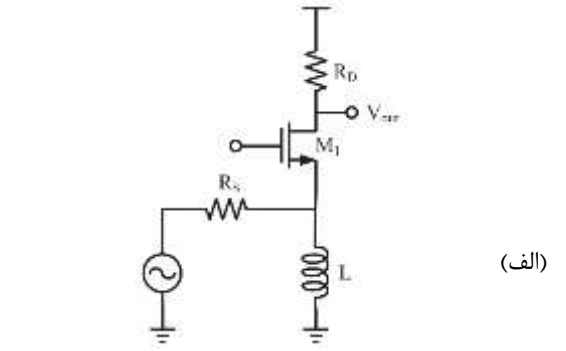
شکل (۱) نمونه‌هایی از ساختارهای رایج که در طراحی تقویت‌کننده‌های کم‌نویز فراپهن‌باند با دو توپولوژی مذکور استفاده می‌شوند را نشان می‌دهد. شکل (۱- الف) توپولوژی گیت- مشترک می‌باشد و شکل‌های (۱- ب) تا (۱- د) با توپولوژی سورس- مشترک هستند که به‌ترتیب دارای ساختار توزیع شده، فیدبک مقاومتی و معکوس‌کننده با پیک‌زنی القایی می‌باشند. ساختار گیت- مشترک در شکل (۱- الف) به‌طور ذاتی پهنای‌باند زیاد و تطبیق امپدانس ورودی خوبی دارد، اما در مقابل عدد نویز بالایی به همراه دارد [۵، ۶]. ساختار تقویت‌کننده‌های توزیع شده که در شکل (۱- ب) نشان داده شده است، پهنای باند زیاد، بهره بالا و تطبیق ورودی و خروجی بسیار مناسبی دارد. اما در مقابل سطح تراشه زیاد، توان مصرفی و عدد نویز بالا و خط‌سانی نامناسب از اشکالات این ساختار است [۷، ۸].

شکل (۱- ج) ساختار تقویت‌کننده سورس- مشترک با فیدبک مقاومت موازی را نشان می‌دهد. این ساختار بهره بالا (بسته به مقدار مقاومت R_F)، تطبیق ورودی مناسب و پهنای‌باند

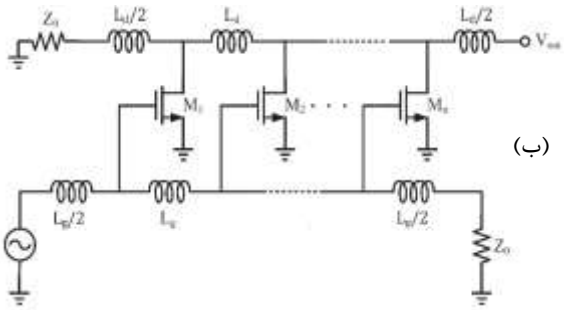
* نویسنده پاسخگو: taskhiri@qut.ac.ir

زیادی فراهم می‌کند. اما مشکل عمده آن، وجود یک مصالحه بین عدد نویز و تطبیق ورودی است؛ همچنین مقاومت فیدبک در فرکانس‌های بالا نویز اضافی به مدار تحمیل می‌کند [۹،۱۰]. شکل (۱- د) ساختار معکوس‌کننده با پیک‌زنی القایی را نشان می‌دهد. این ساختار قابلیت بسیار زیادی در گسترش پهنای‌باند دارد. همچنین این ساختار می‌تواند تطبیق امپدانس ۵۰ اهمی در خروجی فراهم آورد و در افزایش بهره نیز نقش مؤثری خواهد داشت. علاوه‌بر این، در بهبود خط‌سانی مدار، عملکردی مشابه با روش جمع آثار مشتقات دارد [۱۱].

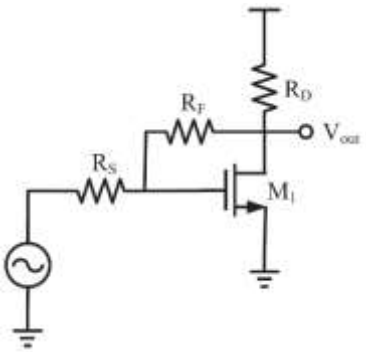
در این مقاله از ساختار فیدبک مقاومت موازی در ورودی و از ساختار معکوس‌کننده با پیک‌زنی القایی در خروجی استفاده می‌شود. بخش دوم مقاله به توصیف مدار پیشنهادی می‌پردازد. بخش سوم به تحلیل طبقات تقویت‌کننده اختصاص دارد و بخش چهارم نتایج شبیه‌سازی را ارائه می‌دهد. بخش پنجم نیز به نتیجه‌گیری اختصاص دارد.



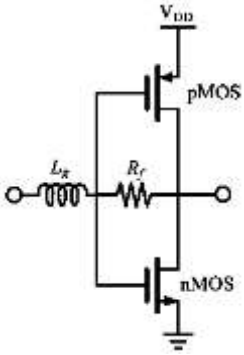
(الف)



(ب)



(ج)

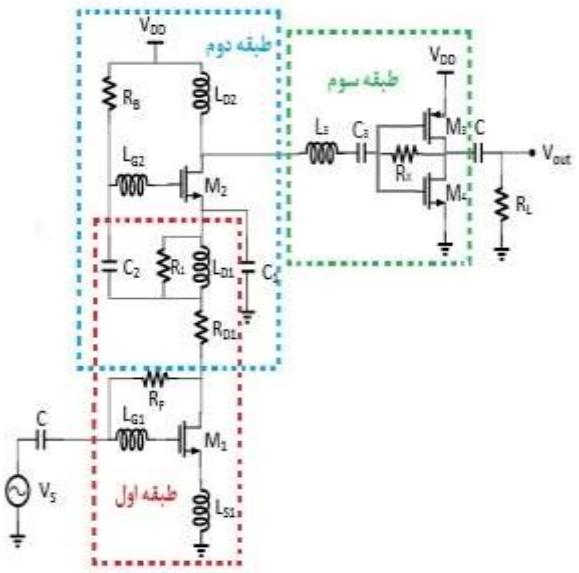


(د)

شکل (۱): ساختارهای تقویت‌کننده‌های فراپهن‌باند: (الف) تقویت‌کننده گیت-مشترک، (ب) تقویت‌کننده توزیع شده، (ج) فیدبک مقاومت موازی، (د) معکوس‌کننده با پیک‌زنی القایی

۲. تقویت‌کننده کم‌نویز فراپهن‌باند پیشنهادی

شکل (۲) مدار تقویت‌کننده کم‌نویز پیشنهادی را نشان می‌دهد. این مدار از سه طبقه مختلف تشکیل شده است. طبقه اول شامل یک تقویت‌کننده سورس- مشترک است که از ترانزیستور M_1، مقاومت‌های R_F، R_{D1} و R_1 و سلف‌های L_{D1}، L_{S1} و L_{G1} تشکیل شده است.



شکل (۲): ساختار طرح تقویت‌کننده پیشنهادی

مقاومت فیدبک R_F برای افزایش پهنای‌باند بوده و سلف‌های L_{S1} و L_{G1} سبب تبهگنی سورس می‌شوند که به‌منظور بهبود تطبیق ورودی و گسترش پهنای‌باند مورد استفاده قرار گرفته‌اند [۱۲، ۱۳].

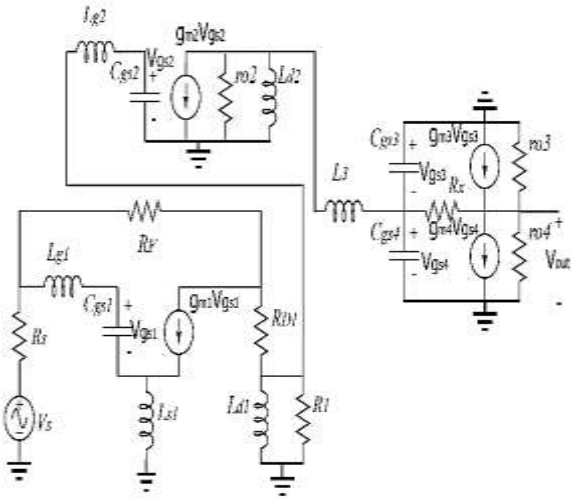
مقاومت‌های R_{D1} و R_1 نیز برای کاهش تغییرات ولتاژ قرار داده شده‌اند و سلف L_{D1} برای رسیدن به یک بهره تخت استفاده

شده است. در طبقه دوم از تکنیک استفاده مجدد از جریان استفاده می‌شود، با این هدف که مدار به یک بهره بالا بدون مصرف توان اضافی برسد. این طبقه شامل ترانزیستور M_2، خازن‌های C_1 و C_2 و سلف‌های L_{G2} و L_{D2} است. خازن C_1 خازن کنارگذر و خازن C_2 خازن تزویج می‌باشد. از سلف‌های L_{G2} و L_{D2} برای گسترش بیشتر پهنای‌باند و افزایش بهره استفاده شده است.

ذکر این نکته حائز اهمیت است که ساختارهایی که از تکنیک‌های استفاده مجدد از جریان و تبهگنی سورس استفاده می‌کنند، به‌خاطر وجود سلف‌های متعدد و همچنین وجود چند ترانزیستور، معمولا خطسانی مناسبی ندارند و به‌علاوه، نکته منفی‌ای که در ترکیب این دو تکنیک وجود دارد این است که مدار قبل از نقطه IIP3 نیز رفتار غیرخطی دارد. برای تطبیق خروجی نیز اگر از بافر متداول استفاده شود، موجب تضعیف بهره و کاهش خطسانی مدار می‌شود. برای رفع این مسئله و به‌منظور بهبود خطسانی، در طبقه سوم از تکنیک معکوس‌کننده فیدبک موازی با پیک‌زنی القایی استفاده می‌کنیم [۱۱]. سلف پیک‌زن L_3 جهت افزایش پهنای باند قرار داده شده است. هدف اصلی از قرار دادن این ساختار در خروجی، فراهم کردن تطبیق امپدانس خروجی با در نظر گرفتن بهبود بهره، پهنای باند و خطسانی مدار است. در بخش ۳-۵ نشان داده خواهد شد که چگونه تکنیک طبقه سوم باعث بهبود خطسانی می‌شود.

۳. تحلیل تقویت‌کننده پیشنهادی

شکل (۳) مدار معادل ساختار پیشنهادی را نشان می‌دهد. بر اساس این مدار، تحلیل بهره، نویز، و تطبیق امپدانس ورودی و خروجی در ادامه انجام می‌شود.



شکل (۳): مدار معادل تقویت‌کننده پیشنهادی

۳-۱. بهره

مدار پیشنهادی از سه طبقه تشکیل شده است. برای محاسبه بهره کل، ابتدا بهره هرکدام از طبقات مدار پیشنهادی محاسبه شده و در نهایت بهره کل، برابر با حاصل‌ضرب بهره طبقات خواهد بود. شکل (۴) مدار معادل طبقه اول را نشان می‌دهد. مطابق این شکل، بهره طبقه اول به‌صورت زیر به‌دست می‌آید:

$$A_{V1} = \frac{R_{L1}[A_1 - g_{m1}R_F + 1]}{[A_1 + 1](R_F + R_{L1})} \quad (۱)$$

که در آن A_1 و R_{L1} برابر است با

$$A_1 = S^2(L_{G1}C_{GS1} + L_{S1}C_{GS1}) + SL_{S1}g_{m1} \quad (۲)$$

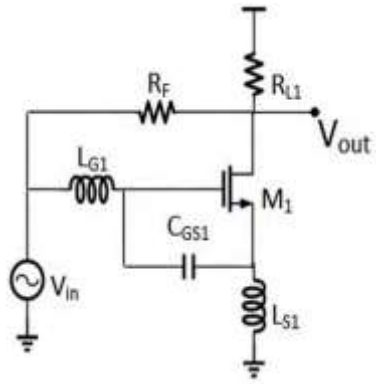
$$R_{L1} = R_{D1} + (SL_{D1} \parallel R_1) \parallel \left(SL_{G2} + \frac{1}{SC_{GS2}}\right) \quad (۳)$$

شکل (۵) ساختار طبقه دوم را نشان می‌دهد. برای محاسبه بهره این طبقه خواهیم داشت:

$$A_{V2} = \frac{V_{out2}}{V'} \cdot \frac{V'}{V_{in2}} \quad (۴)$$

$$= -g_{m2}R_{L2} \times \frac{Z_{in2}}{Z_{in2} + SL_{G2}} = \frac{-g_{m2}R_{L2}}{S^2L_{G2}C_{GS2} + 1}$$

که Z_{in2} و R_{L2} به ترتیب برابرند با:



شکل (۴): مدار معادل طبقه اول تقویت‌کننده پیشنهادی

$$Z_{in2} = \frac{1}{SC_{GS2}} \quad (۵)$$

$$R_{L2} = (SL_{D2} \parallel r_{o2}) \parallel (SL_3 + Z_{in_{inv}}) \quad (۶)$$

که $Z_{in_{inv}}$ امپدانس ورودی ساختار طبقه سوم (ساختار معکوس‌کننده بدون القاگر) است. به‌منظور تحلیل دقیق محاسبه بهره، جزئیات محاسبه بهره طبقه دوم به تفصیل در پیوست ۱

آمده است. این ساختار را می‌توان به‌صورت یک تقویت‌کننده سورس- مشترک با فیدبک مقاومتی و مقاومت بار در نظر گرفت.

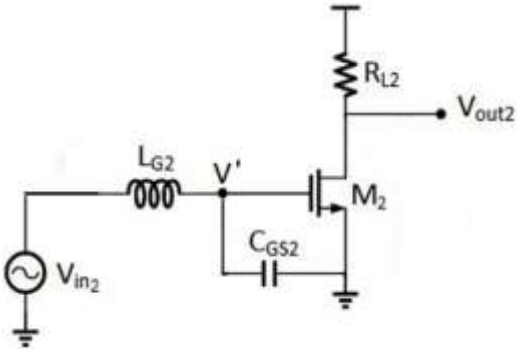
شکل (۶) نشان دهنده مدار معادل این ساختار می‌باشد. در این شکل، $g_{m_{min}}$ برابر با $g_{m3}+g_{m4}$ و $C_{gs_{min}}$ نیز برابر با $C_{gs3}+C_{gs4}$ است. در نتیجه:

$$Z_{in_{inv}}=\frac{R_X+R_{L_{inv}}}{1+|A_X|} \quad (۷)$$

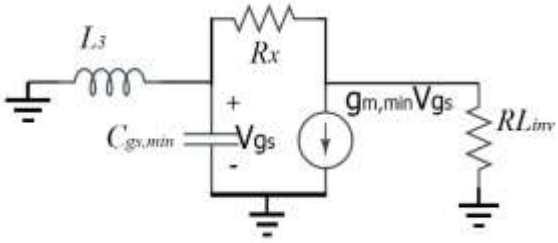
که A_X بهره ساختار شکل (۶) بدون در نظر گرفتن سلف L_3 می‌باشد و به‌طور تقریبی برابر است با:

$$A_X \simeq g_{m_{min}} \times R_{L_{inv}} \quad (۸)$$

$$R_{L_{inv}}=R_X \parallel r_{o3} \parallel r_{o4} \quad (۹)$$



شکل (۵): مدار معادل طبقه دوم تقویت‌کننده پیشنهادی



شکل (۶): مدار معادل طبقه سوم به صورت یک تقویت‌کننده تک ترانزیستور با مدل سورس- مشترک

بهره طبقه سوم برابر است با:

$$A_{V3}=\frac{1}{1+S^2L_3(C_{GS3}+C_{GS4})} \times \frac{1-R_X(g_{m3}+g_{m4})}{1+R_X(r_{o3} \parallel r_{o4})} \quad (۱۰)$$

در نهایت بهره کل مدار از رابطه زیر به دست می‌اید:

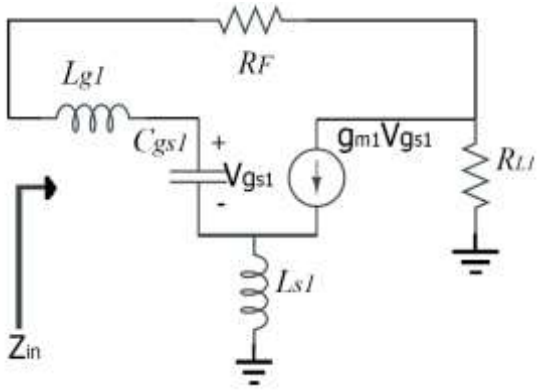
$$A_{V_{total}}=A_{V1} \times A_{V2} \times A_{V3} \quad (۱۱)$$

ملاحظه می‌شود که بهره نسبت مستقیم با ترارسانایی ترانزیستورها داشته و نسبت عکس با خازنهای پارازیتی ترانزیستورها دارد.

۳-۲. تطبیق امپدانس ورودی

تطبیق امپدانس ورودی یکی از شروط مهم در طراحی یک تقویت‌کننده کم‌نویز است. زیرا باعث جلوگیری از اتلاف توان در ورودی می‌شود و حداکثر توان دریافتی به خروجی می‌رسد. در طرح پیشنهادی از تکنیک تبهگنی سورس در ورودی مدار استفاده شده است تا مدار تطبیق مناسب برای مقاومت ۵۰ اهمی در ورودی فراهم کند. شکل (۷) مدار معادل طبقه اول را نشان می‌دهد. طبق شکل (۷) امپدانس ورودی این ساختار برابر است با:

$$Z_{in}=\frac{[A_1+1](R_F+R_{L1})}{A_1+S(C_{GS1}R_F+C_{GS1}R_{L1})+g_{m1}R_{L1}+1} \quad (۱۲)$$



شکل (۷): مدار معادل طبقه اول برای محاسبه امپدانس ورودی

۳-۳. تحلیل نویز

برای محاسبه عدد نویز (NF) کل مدار خواهیم داشت [۱۴، ۱۵]:

$$NF=1+\frac{\overline{V_{n,out}^2}}{4KTR_SA_V^2} \times \frac{(Z_{in}+R_S)^2}{Z_{in}^2} \quad (۱۳)$$

که $\overline{V_{n,out}^2}$ مجموع ولتاژ نویز خروجی، A_V بهره کل مدار، K ثابت بولتزمن و T دمای کلوین می‌باشد. در ادامه برای محاسبه ولتاژ نویز خروجی خواهیم داشت (برای محاسبه نویز به پیوست ۲ رجوع شود):

$$\overline{V_{n,outM1}^2}=4KTg_{m1}\frac{\gamma}{\alpha}(R_{out1}^2) \cdot A_{V2}^2 \cdot A_{V3}^2 \quad (۱۴)$$

که γ ضریب حرارتی طول کانال و $\alpha = \frac{g_m}{g_{d0}}$ که g_{d0} رسانایی کانال تحت $V_{DS} = 0$ است و R_{out1} مقاومت خروجی طبقه اول می‌باشد [۱۶]. همچنین

$$\overline{V_{n,outM2}^2} = 4KTg_{m2}\frac{\gamma}{\alpha}(R_{L2}^2)\cdot A_{V3}^2 \quad (۱۵)$$

$$\overline{V_{n,outR_F}^2} = 4KTR_F\left[\frac{A_1 + SR_SC_{GS1} + R_Sg_{m1} + 1}{a_1S^2 + a_2S + R_S + R_F + R_{L1} + R_SR_{L1}g_{m1}}\right] \times R_{L1}^2 \times A_{V2}^2 \times A_{V3}^2 \quad (۱۶)$$

که در آن داریم:

$$a_1 = (L_{G1}C_{GS1} + L_{S1}C_{GS1}) \times (R_S + R_F + R_{L1}) \quad (۱۷)$$

$$a_2 = R_SL_{S1}g_{m1} + R_SR_FC_{GS1} + R_FL_{S1}g_{m1} + R_SR_{out1}C_{GS1} + R_{L1}L_{S1}g_{m1} \quad (۱۸)$$

$$\overline{V_{n,outM3}^2} = 4KTg_{m3}\frac{\gamma}{\alpha}(Z_{out}^2) \quad (۱۹)$$

$$\overline{V_{n,outM4}^2} = 4KTg_{m4}\frac{\gamma}{\alpha}(Z_{out}^2) \quad (۲۰)$$

$$\overline{V_{n,outR_X}^2} = 4KTR_X \quad (۲۱)$$

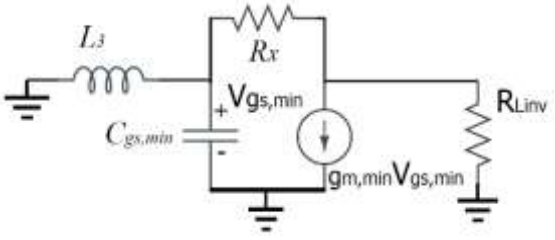
نهایتا مقدار $\overline{V_{n,out}^2}$ از حاصل جمع مقادیر ولتاژ نویز حاصل از (۱۴) تا (۲۱) به‌دست می‌آید.

۳-۴. تطبیق امپدانس خروجی

ساختار طبقه سوم (معکوس‌کننده) به گونه‌ای است که شبیه به یک بافر عمل می‌کند و در خروجی تطبیق امپدانس ۵۰ اهمی را فراهم می‌کند. می‌توان طبقه سوم را به‌صورت یک طبقه تک ترانزیستور، یعنی به‌صورت ساختار یک تقویت‌کننده سورس مشترک با فیدبک مقاومتی و مقاومت بار در نظر گرفت. مطابق شکل (۸) امپدانس خروجی این ساختار برابر است با:

$$Z_{out} = R_{L_{inv}} \parallel \left[\frac{1}{gm_{min}}\left(1 + \frac{R_x}{R_{S_3}}\right) \parallel (R_x + R_{S_3})\right] \quad (۲۲)$$

$$R_{S3} = SL_3 \parallel \frac{1}{SC_{gs_{min}}} \quad (۲۳)$$



شکل (۸): مدار معادل طبقه سوم برای محاسبه امپدانس خروجی

۳-۵. خطسانی

همان‌طور که اشاره شد، طبقه سوم که شامل یک ترانزیستور NMOS و یک PMOS است، با هدف بهبود خطسانی مدار و کاهش اعوجاج‌های هارمونیک سوم در مدار پیشنهادی در نظر گرفته شده است. برای بررسی تأثیر طبقه سوم بر روی خطسانی مدار، ابتدا جریان‌های ترانزیستورهای NMOS و PMOS آن را محاسبه می‌کنیم. جریان‌های غیرخطی این دو ترانزیستور برابرند با:

$$i_{dsn} = g_{m1n}V_i + g_{m2n}V_i^2 + g_{m3n}V_i^3 + \cdots \quad (۲۴)$$

$$i_{dsp} = -g_{m1p}V_i + g_{m2p}V_i^2 - g_{m3p}V_i^3 + \cdots \quad (۲۵)$$

که V_i ولتاژ اعمالی به ورودی هر دو ترانزیستور، i_{ds} جریان درین به سورس هر کدام از ترانزیستورها، g_{m1} ضریب بهره خطی، g_{m2}، g_{m3} و ... ضرایب بهره غیرخطی می‌باشند و اندیس n و p به ترتیب نشان دهنده NMOS و PMOS است. جریان غیرخطی خروجی مدار برابر است با:

$$i_{out} = i_{dsn} - i_{dsp} = (g_{m1n} + g_{m1p})V_i + (g_{m2n} - g_{m2p})V_i^2 + (g_{m3n} + g_{m3p})V_i^3 + \cdots \quad (۲۶)$$

در رابطه (۲۵) چون g_{m2n} و g_{m2p} هم علامت هستند، در نتیجه IM2 کاهش و از آنجا که g_{m3n} و g_{m3p} غیر هم‌علامت هستند، IM3 کاهش می‌یابد. این ساختار به لحاظ عملکرد در بهبود رفتار خطسانی، با روش جمع آثار مشتقات مکمل تشابه دارد، با این تفاوت که ترانزیستور PMOS در ناحیه قوی عمل خواهد کرد و بنابراین از تضعیف در فرکانس‌های بالا اجتناب می‌شود.

۴. نتایج شبیه‌سازی

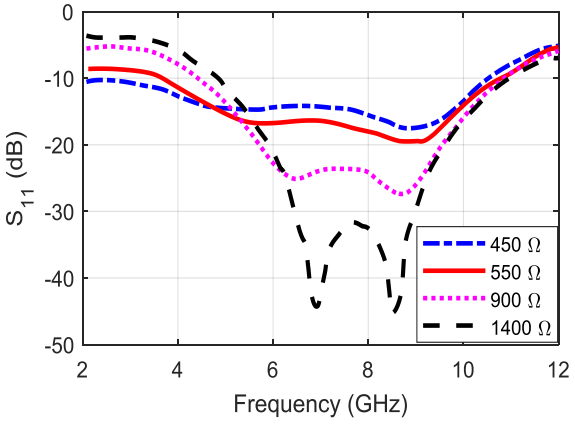
در این ساختار از تکنولوژی ۱۳۰ نانومتر TSMC استفاده شده است. جدول (۱) مشخصات مداری و سایز ترانزیستورهای استفاده شده در تقویت‌کننده طراحی شده را نشان می‌دهد. طول ترانزیستورها، حداقل مقدار، برابر با ۱۳۰ nm در نظر گرفته شده است. شبیه‌سازی‌ها با نرم افزار ADS انجام شده است و ترسیم جانشانی مدار با استفاده از نرم افزار Cadence صورت گرفته است.

جدول (۱): مشخصات مداری تقویت‌کننده کم‌نویز پیشنهادی

ظرفیت خازنها	پهنای W ماسفتها	مقاومتها
C_1=96/6 pF	M_1: 108 µm	R_F=550 Ω
C_2=14/0 pF	M_2: 144 µm	R_1=281 Ω
C_3=41/0 pF	M_3: 30 µm	R_{D1}=47/52 Ω
	M_4: 50 µm	R_B=5400 Ω
		R_X=250 Ω

۴-۱. بررسی تطبیق ورودی

شکل (۹) نتیجه شبیه‌سازی تطبیق ورودی برای مؤلفه S_{11} را به ازای مقادیر مختلف R_F نشان می‌دهد. با مقدار مفروض R_F در جدول (۱)، تقویت‌کننده طراحی شده قادر است در باند فرکانسی ۳/۱ تا ۱۰/۶ گیگاهرتزی، S_{11} کمتر از ۹/۱۱ dB- داشته باشد که مقدار مناسبی می‌باشد. ضمن اینکه از فرکانس ۳/۵ GHz به بعد، مقدار S_{11} به زیر ۱۰ dB- می‌رسد. دلیل به‌وجود آمدن این تطبیق خوب، استفاده از تکنیک تبهگنی سورس و تکنیک فیدبک مقاومت موازی می‌باشد.



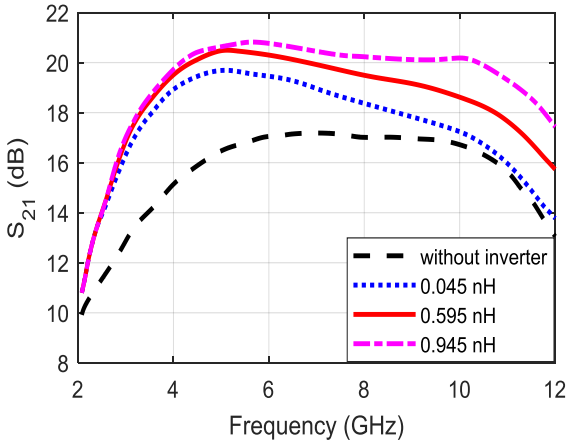
شکل (۹): تغییرات مؤلفه S_{11} به ازای مقادیر مختلف R_F

اگر چه نمی‌توان تأثیر سلف‌های قرار گرفته در ترانزیستور ورودی را برای بهبود تطبیق ورودی نادیده گرفت، اما عنصری که تأثیرگذاری بسیاری در بهبود یا تضعیف تطبیق ورودی خواهد داشت، مقاومت فیدبک R_F می‌باشد. شکل (۹) تأثیرگذاری این عنصر را بر تطبیق امپدانس ورودی نشان می‌دهد. با افزایش مقدار مقاومت R_F تطبیق ورودی تضعیف خواهد شد و با کاهش آن بهبود بیشتری به‌وجود خواهد آمد. ذکر این نکته حائز اهمیت است که چنانچه در بخش ۴-۴ نشان داده خواهد شد، با افزایش مقدار R_F، عدد نویز کاهش می‌یابد. بنابراین همواره مصالحه‌ای بین میزان تطبیق ورودی و عدد نویز وجود دارد. به‌طوری که اگر هدف بهبود تطبیق ورودی باشد، عدد نویز تضعیف می‌شود و بالعکس اگر هدف بهبود عدد نویز باشد، تطبیق ورودی تضعیف خواهد شد. ذکر این نکته نیز مهم است که وجود مقاومت فیدبکی R_F در این ساختار برای داشتن تطبیق لازم است، حتی اگر مقدار آن کوچک باشد.

۴-۲. بررسی تقویت‌کنندگی

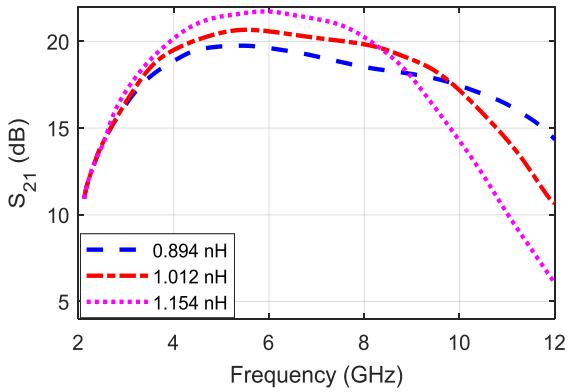
شکل (۱۰) میزان تقویت‌کنندگی (S_{21}) را بدون طبقه معکوس‌کننده و با آن، به ازای مقادیر مختلف L_3 نشان می‌دهد. تکنیک استفاده مجدد جریان باعث می‌شود تا بهره مدار بدون مصرف توان اضافی، افزایش یابد. همچنین ساختار معکوس‌کننده با پیک‌زنی القایی باعث افزایش بیشتر بهره مدار شده است. در شکل (۱۰) مشاهده می‌گردد که مدار بدون وجود طبقه سوم دارای بهره بیشینه ۱۷ dB است؛ درحالی که استفاده از ساختار طبقه سوم بهره بیشینه را افزایش داده است.

مطابق بهره کل به‌دست آمده از رابطه (۱۰)، دو عنصر L_3 و L_{G2} بیشترین تأثیر را در بهبود بهره و هموارسازی پاسخ فرکانسی در باند فراپهن دارند. چنانچه از شکل (۱۰) ملاحظه می شود، با افزایش مقدار L_3 بهره مدار به‌سمت هموارشدگی می‌رود، اما در مقابل، چنانچه در بخش‌های ۴-۳ و ۴-۵ نشان داده خواهد شد، خط‌سانی و تطبیق خروجی را تضعیف می‌کند.



شکل (۱۰): تأثیر طبقه معکوس‌کننده بر S_{21} با در نظر گرفتن مقادیر مختلف L_3

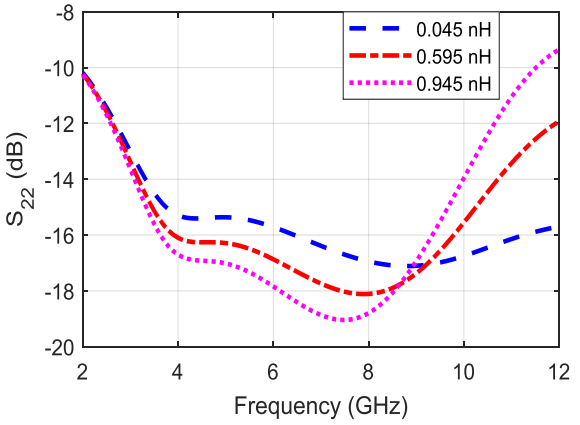
شکل (۱۱) نشان‌دهنده تأثیر سلف L_{G2} بر بهره مدار است. با افزایش مقدار این سلف، بهره افزایش یافته و پاسخ فرکانسی هموارتر و توان مصرفی کمتر می‌شود، اما در مقابل تأثیر منفی بر تطبیق ورودی و عدد نویز خواهد داشت.



شکل (۱۱): تأثیر سلف L_{G2} بر S_{21}

۴-۳. بررسی تطبیق خروجی

شکل (۱۲) نتیجه شبیه‌سازی تطبیق خروجی (S_{22}) را نشان می‌دهد. تقویت‌کننده طراحی شده قادر است در در باند فرکانسی ۳/۱ تا ۱۰/۶ گیگاهرتز، S_{22} کمتر از ۱۰ dB- داشته باشد که مقدار مناسبی می‌باشد و این به‌دلیل وجود ساختار معکوس‌کننده است که به مانند بافر عمل کرده و تطبیق ۵۰ اهمی در خروجی به‌دست می‌آورد. همچنین با توجه به‌شکل (۱۲) مشاهده می‌شود، افزایش L_3 سبب افت تطبیق خروجی می‌شود.

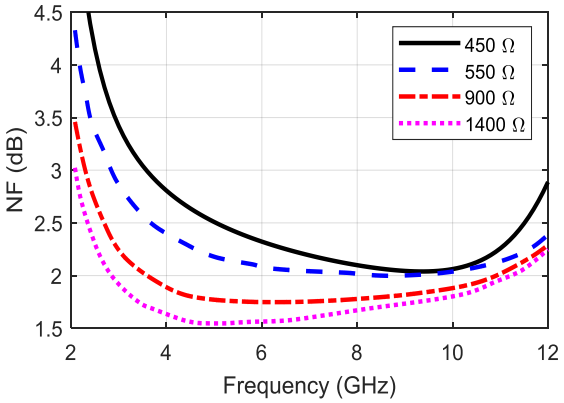


شکل (۱۲): نمودار تغییرات S_{22} با فرکانس و تاثیر سلف L_3 بر S_{22}

۴-۴. بررسی عدد نویز

شکل (۱۳) نشان‌دهنده عدد نویز مدار به ازای مقادیر مختلف R_F است که در تمامی باند فرکانسی مورد نظر، مقدار آن کمتر از ۳ دسی‌بل می‌باشد که برای یک تقویت‌کننده کم‌نویز فراپهن‌باند، عدد قابل قبولی به حساب می‌آید. به ازای $R_F = 550\Omega$ بیشینه عدد نویز این مدار در باند فراپهن، مقدار ۲/۷ dB دارد و کمینه آن ۲ dB است. در بین تمامی عناصر نویزی مدار، مقاومت فیدبک R_F تاثیر بسزایی در کاهش یا افزایش عدد نویز مدار دارد. با افزایش مقدار R_F، عدد نویز کاهش می‌یابد. این افزایش از طرف دیگر تأثیر منفی بر تطبیق امپدانس ورودی خواهد گذاشت.

چنانچه در شکل (۱۳) مشاهده می‌شود، با توجه به اینکه سلف L_{G1} با مقاومت R_F سری شده است، باعث می‌شود تا تغییرات مقاومت فیدبکی R_F، سبب تغییرات بیش از حد عدد نویز مدار نشود. از شکل مشاهده می‌شود با افزایش مقدار R_F، عدد نویز کاهش می‌یابد، به‌طوری‌که میزان کمینه عدد نویز به ازای $R_F=900^{\Omega}$ و $R_F=1400^{\Omega}$ به‌ترتیب به ۱/۷۲ dB و ۱/۵۳ dB می‌رسد.



شکل (۱۳): تغییرات عدد نویز تقویت‌کننده بر حسب مقدار مقاومت R_F در بازه فرکانسی فراپهن

۴-۵. بررسی خطسانی مدار

در شکل (۱۴- الف) مقدار خطسانی مدار، قبل از استفاده از ساختار معکوس‌کننده و در شکل (۱۴- ب) مقدار خطسانی مدار بعد از استفاده از این ساختار به ازای $L_3 = 0.595$ nH را نشان داده شده است. در شکل (۱۴-ب) محل تلاقی خطوط مماس مقدار خطسانی IIP3 را نشان می‌دهد که برابر با ۳/۵ dBm- است. واضح است که رفتار هارمونیک سوم بهبود پیدا کرده است؛ زیرا در شکل (الف) هارمونیک سوم نسبت به خط ممتد، دارای فاصله است و در نتیجه مدار قبل از نقطه برخورد رفتار غیرخطی از خود نشان می‌دهد. در مقابل، در شکل (ب) مشاهده می‌گردد که این فاصله تا حد قابل قبول بهبود پیدا کرده است و نقطه ۳/۵ dBm- میزان خطسانی مدار را نشان می‌دهد.

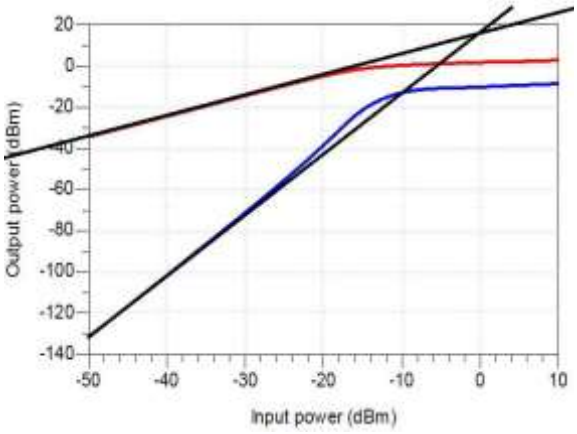
اگرچه در شکل (الف) مدار IIP3 مثبت‌تری را نشان می‌دهد، اما به‌دلیل اینکه مدار قبل از این نقطه رفتار غیرخطی دارد، نمی‌توان این نقطه را معیار دقیقی برای میزان خطسانی بودن مدار معرفی کرد. در مقابل در شکل (ب) خط ممتد و خط هارمونیک سوم کاملا بر یکدیگر منطبق هستند و نقطه برخورد

۳/۵ dBm- معیاری دقیق برای سنجش خطسانی بودن این مدار است.

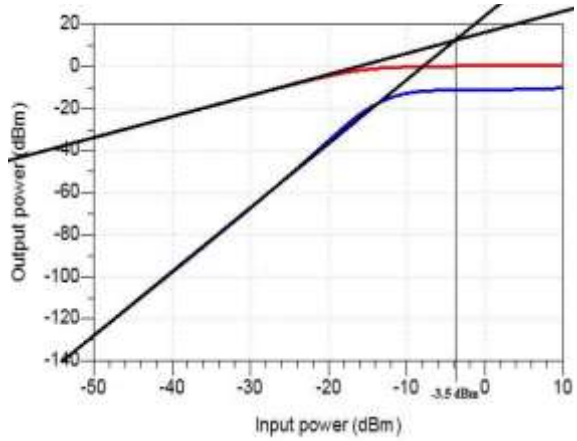
ذکر این نکته حائز اهمیت است که مقدار L_3 تاثیر مستقیمی روی خطسانی تقویت‌کننده دارد، به‌طوری که برای سه مقدار $L_3 = 0.045\ nH$ ، $L_3 = 0.595\ nH$ و $L_3 = 0.945\ nH$ مقدار به‌دست آمده برای خطسانی IIP3 به‌ترتیب برابر با ۰ dBm، ۳/۵ dBm- و ۷ dBm- است. بنابراین می‌توان نتیجه گرفت، افزایش مقدار L_3 سبب تضعیف خطسانی تقویت‌کننده می‌شود.

۴-۶. تحلیل پایداری

در تصویر شکل (۱۵) ضرایب μ و μ' که به‌ترتیب بیانگر پایداری در ورودی و خروجی می‌باشند، نشان داده شده است. با توجه به شکل مشاهده می‌شود ضرایب μ و μ' در سراسر باند فرکانسی بزرگتر از یک هستند که نشان‌دهنده پایداری تقویت‌کننده پیشنهادی می‌باشد [۱۷].

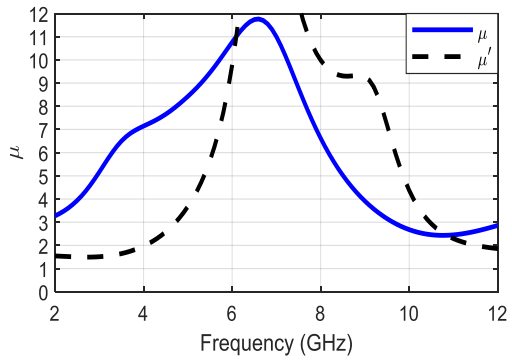


(الف)



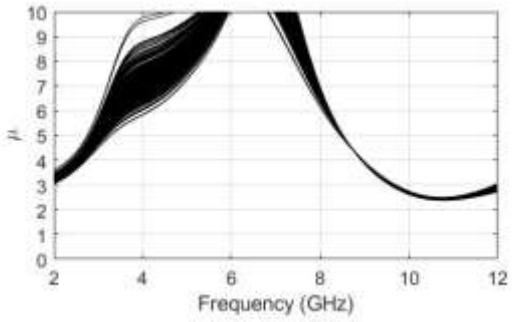
(ب)

شکل (۱۴): نتیجه شبیه‌سازی IIP3 (الف) بدون ساختار طبقه معکوس‌کننده، (ب) با ساختار طبقه معکوس‌کننده

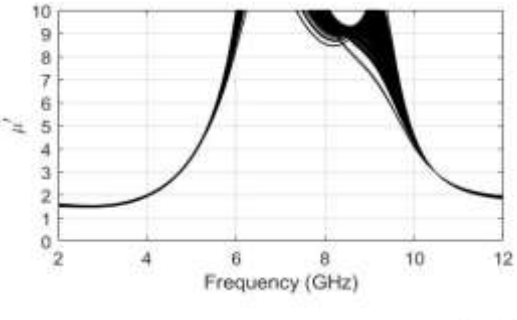


شکل (۱۵): ضرایب μ و μ' تقویت‌کننده پیشنهادی

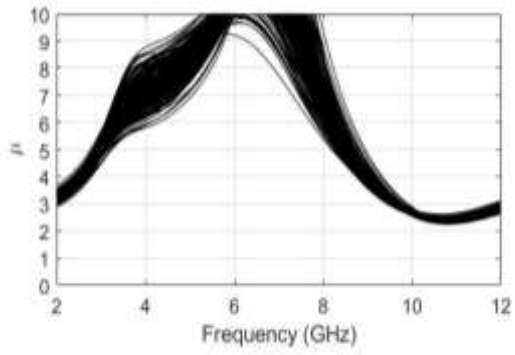
به‌منظور بررسی اثر مؤلفه‌های دما، ولتاژ تغذیه و فرایند روی پایداری تقویت‌کننده پیشنهادی، از تحلیل مونت کارلو استفاده می‌شود. شکل‌های (۱۶) تا (۲۱) نتایج شبیه‌سازی مونت کارلو مدار پیشنهادی را با در نظر گرفتن تغییرات مؤلفه‌های دما، ولتاژ تغذیه و فرایند، به میزان ۱۰٪ با توزیع یکنواخت و تعداد ۲۵۰ تکرار نشان می‌دهند. همچنین شکل‌های (۲۲) و (۲۳) نتایج شبیه‌سازی مونت کارلو را با در نظر گرفتن تغییرات هم‌زمان سه مؤلفه مزبور به میزان ۱۰٪ با توزیع یکنواخت نشان می‌دهد. با توجه به سطح بالای یک در تمامی نمودارهای شکل‌های مذکور، از همه این موارد مشخص می‌شود که پایداری ورودی و خروجی LNA برقرار می‌باشد. لذا بروز خطای احتمالی در بازه مذکور باعث ایجاد ناپایداری در تقویت‌کننده نمی‌گردد.



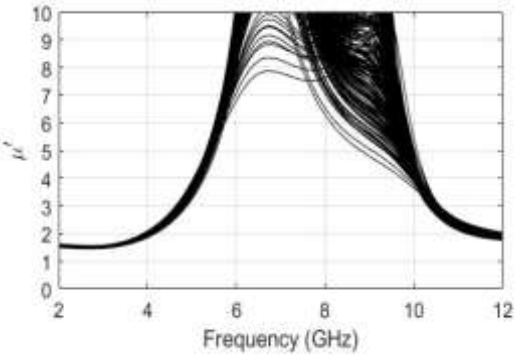
شکل (۱۶): شبیه‌سازی مونت کارلو ضریب μ برای منابع تغذیه با خطای ±۱۰٪



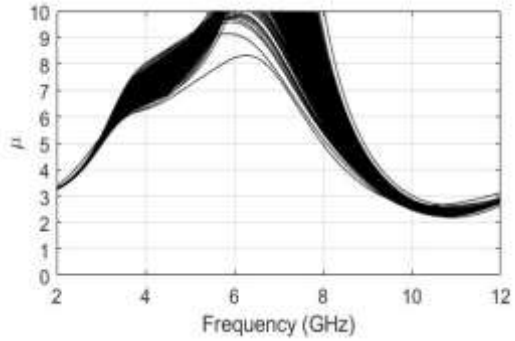
شکل (۱۷): شبیه‌سازی مونت کارلو ضریب μ' برای منابع تغذیه با خطای ±۱۰٪



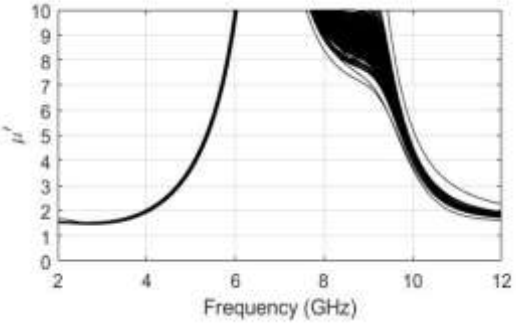
شکل (۱۸): شبیه‌سازی مونت کارلو ضریب μ برای پروسه با خطای ±۱۰٪



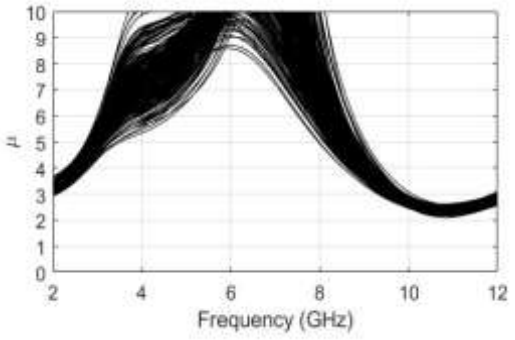
شکل (۱۹): شبیه‌سازی مونت کارلو ضریب 'μ برای پروسه با خطای ±۱۰٪



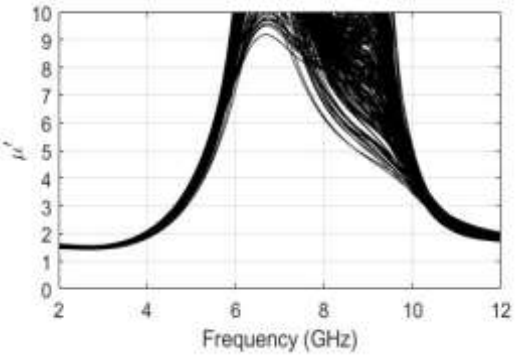
شکل (۲۰): شبیه‌سازی مونت کارلو ضریب μ برای دما با خطای ±۱۰٪



شکل (۲۱): شبیه‌سازی مونت کارلو ضریب 'μ برای دما با خطای ±۱۰٪



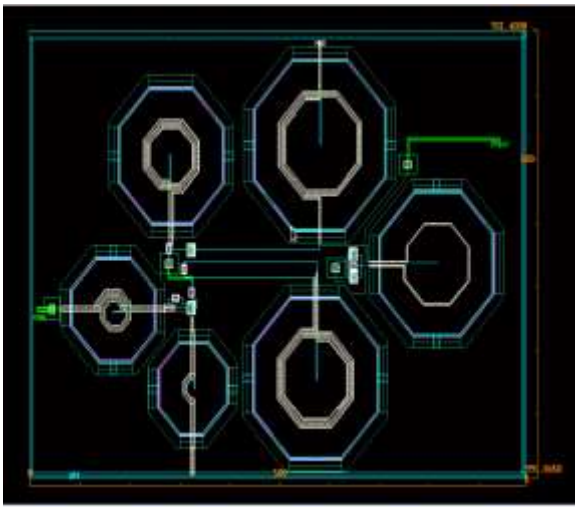
شکل (۲۲): شبیه‌سازی مونت‌کارلو ضریب μ برای دما، پروسه و منابع با خطای ±۱۰٪



شکل (۲۳): شبیه‌سازی مونت کارلو ضریب 'μ برای دما، پروسه و منابع با خطای ±۱۰٪

۴-۷. طرح جانشانی

در شکل (۲۴) طرح جانشانی مدار پیشنهادی با زیرلایه از جنس سیلیکن را نشان داده شده است. این طرح با نرم افزار Cadence و به منظور محاسبه مساحت مورد نیاز طرح انجام شده است. ابعاد این طرح برابر با μm ۷۰۱/۴ × μm ۹۹۱/۸۴ می‌باشد.



شکل (۲۴): طرح جانشانی مدار پیشنهادی

۴-۸. مقایسه نتایج

در جدول (۲) عملکرد مدار طراحی‌شده با برخی از طراحی‌های سال‌های اخیر با تکنولوژی ۱۳۰ و ۱۸۰ نانومتر CMOS مقایسه شده است. برای بیان عملکرد کلی مدار، از معیار شایستگی (FOM) مطابق رابطه (۲۷) استفاده می‌شود [۱۸]:

$$\mathrm{FOM}\left[\frac{\mathrm{GHz}}{\mathrm{mw}}\right]=\frac{\overline{S_{21}}\times \mathrm{BW[GHz]}}{(\mathrm{NF}-1)\times \mathrm{P_D[mw]}} \quad (۲۷)$$

در این رابطه $\overline{S_{21}}$ بیانگر میانگین دامنه بهره توان، BW[GHz] بیانگر پهنای‌باند ۳ dB به گیگاهرتز، $(\mathrm{NF}-1)$ بیانگر اندازه عدد نویز اضافی و $\mathrm{P_D[mw]}$ بیانگر توان مصرفی می‌باشد.

با توجه به نتایج به‌دست آمده در جدول (۲) مشاهده می‌شود روش پیشنهادی از نظر بهره از تمامی طرح‌های [۱۹]-[۲۹] برتری دارد و از نظر عدد نویز عملکرد بهتری نسبت به طرح‌های [۱۹، ۲۰] و [۲۲-۲۴] و [۲۶-۲۹] دارد. روش پیشنهادی عملکرد خطسانی بهتری در مقایسه با روش‌های [۱۹] و [۲۲] و [۲۳] و [۲۹] دارد. بهبودهای ذکر شده در ازای افزایش توان مصرفی در مقایسه با اغلب طرح‌های مقایسه شده، حاصل شده است. با این وجود، از نظر معیار شایستگی FOM، تقویت‌کننده پیشنهادی عملکرد کلی بهتری نسبت به اغلب طرح‌های مقایسه‌شده دارد.

۵. نتیجه‌گیری

در این مقاله یک تقویت‌کننده کم‌نویز فرا پهن‌باند در تکنولوژی ۱۳۰ nm ارائه شد. در طراحی این مدار از تکنیک‌های تبهگنی سورس و فیدبک مقاومتی برای گسترش پهنای‌باند و فراهم نمودن تطبیق امپدانس ورودی استفاده شد. همچنین برای افزایش بهره، تکنیک استفاده مجدد از جریان استفاده شد و در نهایت جهت فراهم نمودن تطبیق خروجی همراه با گسترش پهنای‌باند، به نحوی که خطسانی و بهره تضعیف نشوند، از ساختار معکوس‌کننده با پیک‌زنی القایی استفاده شد. نتایج شبیه‌سازی ساختار پیشنهادی در تکنولوژی ۱۳۰ nm CMOS نشان داد که این مدار دارای S_{11} کمتر از ۹/۱ dB-، S_{22} کمتر از ۱۰ dB-، بیشینه بهره ۱۹/۶۳dB، عدد نویز بین ۲/۷ dB-۲، IIP3 با مقدار ۳/۵ dBm- و توان مصرفی ۲۸ mw با ابعاد جانشانی طرح برابر با ۹۹۱/۸۴ µm × ۷۰۱/۴ µm می‌باشد.

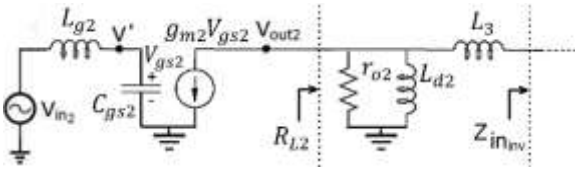
جدول (۲): مقایسه عملکرد تقویت‌کننده کم‌نویز پیشنهادی با برخی از طراحی‌های سال‌های اخیر

مرجع	تکنولوژی (nm)	پهنای‌باند (GHz)	S_{11} (dB)	S_{22} (dB)	S_{21} (dB)	NF (dB)	IIP3 (dBm)	توان مصرفی (mw)	مساحت (mm^2)	FOM
[۱۹]	۱۳۰	۲ – ۹/۶	<-۸/۳	< -۶	۱۱	۳/۶ – ۴/۸	-۷/۲	۱۹	۰/۰۵	۱/۶۹
[۲۰]	۱۳۰	۰/۳ – ۱۲/۸	< -۱۰	< -۱۰	۱۳/۸	۳/۲ – ۴/۶	-۰/۷	۳۶	-	۲/۱۷
[۲۱]	۱۳۰	۳/۱ – ۱۰/۶	<-۸/۴۵	<-۸/۸	۱۰/۲۴	۰/۹ – ۴/۱	۶/۸	۱۷/۹۲	-	۴/۲۸
[۲۲]	۱۳۰	۲/۳۵ – ۹/۳۷	<-۸	<-۸	۱۰/۳	۳/۶۸ – ۵	-۴	۹/۹۷	۰/۳۹	۲/۷
[۲۳]	۱۳۰	۳ – ۱۲	<-۱۱	<-۱۰	۱۳/۵	۳/۹ – ۴/۷	-۷	۸/۴	۰/۸۶	۳/۴۱
[۲۴]	۱۳۰	۳ – ۶	<-۱۰	-	۱۳/۵	۳ – ۳/۵	۱/۵	۱۶	۱/۰۰۱	۰/۸۷
[۲۵]	۱۳۰	۷/۵ – ۱۱/۵	<-۱۰	-	۱۵	۱/۸	-۳	۱۸	۱/۲	۱۹/۳
[۲۶]	۱۸۰	۳/۱ – ۱۰/۶	<-۱۰	<-۱۰	۱۰/۵	۲/۷ – ۳	-	۱۲/۹	-	۳/۷۲
[۲۷]	۱۸۰	۳/۱ – ۱۰/۶	<-۱۰	<-۱۵	۱۳/۶	۳/۳ – ۴/۵	-	۲۱/۶	۰/۵۶	۲/۰۵
[۲۸]	۱۸۰	۳/۱ – ۱۰/۶	<-۱۳	-	۱۰/۷۵	۴/۸۵	-	۱۲/۵	-	۱/۶۷
[۲۹]	۱۸۰	۳/۵ – ۹	<-۱۰	-	۱۲	۳/۴	-۱۰/۵	۱۴	-	۱/۳۲
طرح پیشنهادی	۱۳۰	۳/۱ – ۱۰/۶	< -۹/۱	< -۱۰	۱۹/۷	۲ - ۲/۷	-۳/۵	۲۸	۰/۶۹	۵/۲۷

۶. پیوست ها

۶-۱. پیوست ۱. محاسبه بهره

مطابق شکل (۵) و با جایگذاری مدار معادل ترانزیستور M_2، مدار معادل سیگنال کوچک طبقه دوم به صورت شکل (۲۵) به‌دست می‌آید.



شکل (۲۵): مدار معادل طبقه دوم تقویت‌کننده پیشنهادی جهت محاسبه بهره

برای محاسبه بهره این طبقه خواهیم داشت:

$$A_{V2} = \frac{V_{out2}}{V_{in2}} = \frac{V_{out2}}{V'} \cdot \frac{V'}{V_{in2}} \qquad (۲۸)$$

با توجه به شکل (۲۵) داریم:

$$\frac{V_{out2}}{V'} = -g_{m2}R_{L2} \qquad (۲۹)$$

و همچنین با توجه به تقسیم ولتاژ بوسیله امپدانسهای $\frac{1}{SC_{GS2}}$ و SL_{G2} داریم:

$$\frac{V'}{V_{in2}} = \frac{\frac{1}{SC_{GS2}}}{\frac{1}{SC_{GS2}} + SL_{G2}} \qquad (۳۰)$$

همچنین مطابق شکل (۲۵) امپدانس R_{L2} با رابطه زیر حاصل می‌شود:

$$R_{L2} = (SL_{D2} \parallel r_{o2}) \parallel (SL_3 + Z_{in_{inv}}) \qquad (۳۱)$$

که $Z_{in_{inv}}$ امپدانس ورودی ساختار طبقه سوم (ساختار معکوس‌کننده بدون القاگر) است.

۶-۲. پیوست ۲. محاسبه نویز

طبق اصل جمع آثار و با فرض ناهمبسته بودن منابع نویز، چگالی طیف توان نویز خروجی $V^2_{n,out}(f)$ از جمع اثر هر یک از چگالی‌های طیف نویز منابع در خروجی حاصل می‌شود [۱۵]. اثر هر منبع نویز در خروجی تقویت‌کننده برابر است با

$$V^2_{n,out}(f) = V^2_{n,in}(f)|A_V|^2 \qquad (۳۲)$$

که در آن A_V بهره تقویت‌کننده می‌باشد [۱۵].

در یک مقاومت، منبع غالب نویز، نویز حرارتی است که مانند نویز سفید ظاهر می‌شود و به‌صورت منبع ولتاژ نویز $\overline{V_n} = V_n(f)$ می‌تواند مدل شود. تابع چگالی طیفی آن، $\overline{V_n^2}$ برابر است با

$$\overline{V_n^2} = 4KTR \qquad (۳۳)$$

در یک ماسفت در فرکانس‌های بالا نویز حرارتی کانال، نویز غالب است. در ناحیه فعال ماسفت، نویز حرارتی با منبع جریان بین درین و سورس مدل می‌شود و چگالی طیف توان آن به‌صورت زیر تعریف می‌شود [۱۵، ۱۶]:

$$\overline{I_n^2} = 4KTg_m\frac{\gamma}{\alpha} \qquad (۳۴)$$

که γ ضریب نویز حرارتی کانال و $\alpha = \frac{g_m}{g_{d0}}$ است و g_{d0} رسانایی کانال تحت $V_{DS} = 0$ می‌باشد. بنابراین چگالی طیف توان منبع ولتاژ نویز در ماسفت برابر است با

$$\overline{V_n^2} = \overline{I_n^2}(R_{out}^2) \qquad (۳۵)$$

که R_{out} مقاومت خروجی می‌باشد. بنابراین چگالی طیف نویز ماسفت در خروجی تقویت‌کننده با بهره A_V برابر است با:

$$\overline{V_{n,out}^2} = 4KTg_m\frac{\gamma}{\alpha}(R_{out}^2)\cdot A_V^2 \qquad (۳۶)$$

در مدار تقویت‌کننده پیشنهادی عناصری که در خروجی تولید نویز می‌کنند، عبارتند از ماسفت‌های M_1 تا M_4 و مقاومت‌های R_F و R_X که چگالی طیفی آنها در خروجی تقویت‌کننده مطابق اصول بیان شده در این پیوست، در روابط (۱۴) تا (۲۱) بیان شده است. در نهایت با توجه به اینکه منابع نویز مربوط به هر عنصر مداری از هم مستقل و ناهمبسته هستند، مقدار $\overline{V_{n,out}^2}$ از حاصل جمع مقادیر چگالی طیفی منابع ولتاژ نویز حاصل می‌شود[۱۵].

۷. مراجع

[1] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, "Wide band CMOS low-noise amplifier exploiting thermal noise canceling," IEEE Journal of Solid-State Circuits, vol. 39, no. 2, pp. 275-282, 2004.

[2] Z. Chang and W. M. C. Sansen, "Low-noise wide-band amplifiers in bipolar and CMOS technologies," The Springer International Series in Engineering and Computer Science, US, 1991.

[3] B. Razavi, "RF microelectronics," Communications Engineering and Emerging Technologies Series, Prentice Hall Press, NJ, USA " 2nd Ed., 2011.

[4] M. Takbiri, A. Bijari, and S. M. Razavi, "A low voltage, high gain, fully differential CMOS low-noise amplifier for ultra-wideband applications," Scientific Journal of Applied Electromagnetics, vol. 3, no. 4, pp. 47-56, 2017 (In Persian).

[5] A. Liscidini, M. Brandolini, D. Sanzogni, and R. Castello, "A 0.13µm CMOS front-end, for DCS1800/UMTS/802.11b-g with multiband positive feedback low-noise amplifier," IEEE J. Solid-State Circuits, vol. 41, pp. 981–989, 2006.

[6] W. H. Chen, G. Liu, B. Zdravko, and A. M. Niknejad, "A highly linear broadband CMOS LNA employing noise and distortion cancellation," IEEE J. Solid-State Circuits, vol. 43, pp. 1164–1176, 2008.

[7] P. Heydari, "Design and analysis of a performance-optimized CMOS UWB distributed LNA," IEEE J. Solid-State Circuits, vol. 42, pp. 1892–1905, 2007.

[8] F. Zhang and P. R. Kinget, "Low-power programmable gain CMOS distributed LNA," IEEE J. Solid-State Circuits, vol. 41, pp. 1333–1343, 2007.

[9] B. G. Perumana, J. H. C. Zhan, S. S. Taylor, B.R. Carlton, and J. Laskar, "Resistive-feedback CMOS low-noise amplifiers for multiband applications," IEEE Trans.Microw. Theory Tech., vol. 56, pp. 1218–1225, 2008.

[10] Y. C. Chen and S. S. Lu, "Analysis and design of CMOS broadband amplifier with dual feedback loops," IEEE ASIA-PACIFIC conference proceedings, pp. 245-248, Taipei, Taiwan, 2002.

[11] C. H. Wu, C. H. Lee, W. S. Chen, and S. I. Liu, "CMOS wideband amplifiers using multiple inductive-sereis peaking technique," IEEE J. Solid-State Circuits, vol. 40, no. 2, pp. 548–552, 2005.

[12] A. Parssinen, S. Lindfors, J. Ryynanen, S. I. Long, and K. Halonen, "1.8 GHz CMOS LNA with on-chip DC-coupling for a subsampling direct conversion front-end," ISCAS Proceedings of IEEE International Symposium on Circuits and Systems, vol. 2, pp. 73-76, 1998.

[13] D. Malathi and M. Gomathi, "Design of inductively degenerated common source RF CMOS low noise amplifier," Sādhanā 44, vol. 4, 2019.

[14] H. Y. Chen, G. W. Huang, K. M. Chen, and C. Y. Chang, "Noise parameters computation of microwave devices using genetic algorithms," IEICE Transactions on Electronics, 2005.

[15] T. C. Carusons, D. Johns, and K. Martin, "Analog integrated circuit design," John Wiley & Sons, Inc. New York, 2nd Ed., 2011.

[16] M. Hayati, S. Cheraghaliei, and S. Zarghami, "Design of UWB low noise amplifier using noise canceling and current-reused techniques," Integration, vol. 60, pp.232- 239, 2018.

[17] N. Salehi, M. Bekrani, H. Zayyani, and M. M. Taskhiri, "A fully Differential Ultra Wideband Common-Gate Low Noise Amplifier,"

Electronics Industries, vol. 10, no. 3, Autumn 2019, pp. 43-58, (In Persian).

[18] Y. S. Lin, C. C. Wang, G. L. Lee, and C. C. Chen, "High-performance wideband low-noise amplifier using enhanced π-match input network," IEEE Microwave and Wireless Components Letters, vol. 24, pp. 200–202, 2014.

[19] Q. Li and Y. P. Zhang, "A 2–9.6 GHz inductor -less low-noise amplifier in 0.13 µm CMOS," IEEE Transactions on Microwave Theory and Techniques, vol. 55, no. 10, pp. 2015-2023, 2010.

[20] C. H. Cheong, N. M. Noh, and H. Ramiah, "A wideband Low Noise Amplifier for cognitive radio in 0.13 µm CMOS," in International SoC Design Conference (ISOCC), pp. 326-328, 2013.

[21] H. Rastegar and J. Y. Ryu, "A broadband low noise amplifier with built-in linearizer in 0.13-µm CMOS process," Microelectronics Journal, vol. 46, 2015.

[22] S. Arshad, R. Ramzan, K. Muhammad, and Q. U. Wahab, "A sub-10 mW, noise cancelling, wideband LNA for UWB applications," AEU - International Journal of Electronics and Communications, vol. 69, no. 1, pp. 109-118, 2015.

[23] N. Li, W. Feng, and X. Li, "A CMOS 3–12 GHz ultrawideband low noise amplifier by dual-resonance network," IEEE Microwave and Wireless Components Letters, vol. 27, pp. 383- 385, 2017.

[24] A. Zokaei, K. El-Sankary, D. Trukhachev, and A. Amirabadi, "A dual feedback wideband differential low noise amplifier in l30 nm CMOS process," 26th International Conference on Mixed Design of Integrated Circuits and Systems, Rzeszów, Poland, pp. 137-140, 2019.

[25] C. Cao, et al. "A triple-cascode X-band LNA design with modified post-distortion network," Electronics, vol. 10, no. 5, 2021.

[26] M. A. Roein, "Design and analysis of a 3.1–10.6 GHz UWB low noise amplifier with current reused technique," 5th Conference on Knowledge Based Engineering and Innovation (KBEI), Tehran, Iran, pp. 030-035, 2019.

[27] H. Zhou, Y. Zhang, and Y. Yu, "Ultra-wideband low noise amplifier employing noise cancelling and simultaneous input and noise matching technique," IEICE Electronics Express, vol. 16, no. 11, p. 20190274, 2019.

[28] S. Manjula, M. Malleshwari, and M. Suganthy, "Design of low power UWB CMOS low noise amplifier using active inductor for WLAN receiver," International Journal of Engineering and Technology (UAE), vol. 7, pp. 448-450, 2018.

[29] H. Khosravi, M. Sheikhi, A. Bijari and N. Kandalaft, "3.5-9 GHz ultra-wideband LNA with variable gain and noise cancellation for wireless communication," 10th Annual Computing and Communication Workshop and Conference (CCWC), pp. 0396-0401, 2020.